

A Flexible Instruction Set Architecture Filter for Custom Soft-core Processors

Erinaldo da Silva Pereira



- 1 Roteiro
 - Introdução
 - ISA BSP
 - Resultados
 - Conclusão

Contextualização

- O FPGA (*Field-Programmable Gate Array*);

Contextualização

- O FPGA (*Field-Programmable Gate Array*);
 - Cada vez mais adotado para o desenvolvimento de aceleradores de hardware para computação de alto desempenho;

Contextualização

- O FPGA (*Field-Programmable Gate Array*);
 - Cada vez mais adotado para o desenvolvimento de aceleradores de hardware para computação de alto desempenho;
 - Dada sua flexibilidade, é possível desenvolver um hardware acelerador customizado para cada tipo de aplicação;

Contextualização

- O FPGA (*Field-Programmable Gate Array*);
 - Cada vez mais adotado para o desenvolvimento de aceleradores de hardware para computação de alto desempenho;
 - Dada sua flexibilidade, é possível desenvolver um hardware acelerador customizado para cada tipo de aplicação;
 - Nas tecnologias GPU e PPG as otimizações são feitas a nível de software por meio de compiladores.

Contextualização

- O FPGA (*Field-Programmable Gate Array*);
 - Cada vez mais adotado para o desenvolvimento de aceleradores de hardware para computação de alto desempenho;
 - Dada sua flexibilidade, é possível desenvolver um hardware acelerador customizado para cada tipo de aplicação;
 - Nas tecnologias GPU e PPG as otimizações são feitas a nível de software por meio de compiladores.
- A flexibilidade dos processadores customizados soft-core permite otimizar sistemas tanto em software como em hardware.

BSP - Bluespec Soft-core Processor

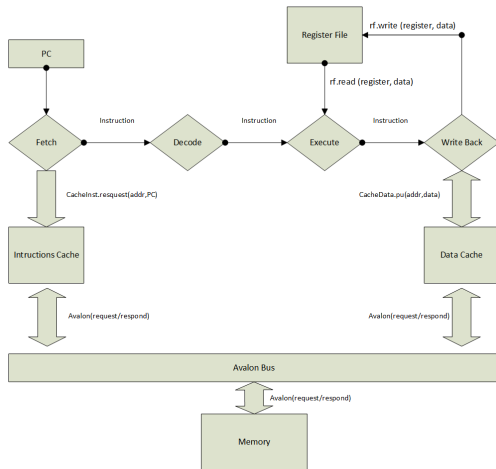


Figura: BSP pipeline

ISA BSP e Nios II

Instruction Type	Nios II	BSP	%
R-Type	43	34	79
I-Type	42	41	97
J-Type	2	2	100
Pseudo	19	19	100
Total(without pseudo)	87	77	88
Total(with pseudo)	106	96	90

Figura: Instruções do BSP e Nios II

Fluxo de Trabalho do Filtro de Instruções

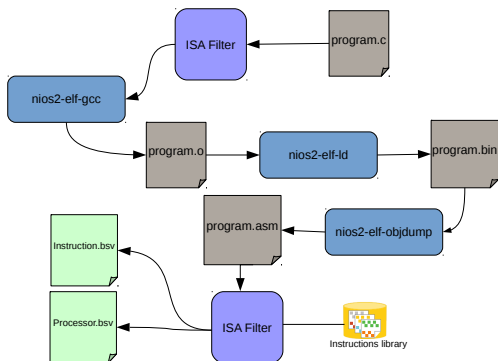


Figura: Fluxo do Filtro para seleção das instruções

Finalizando

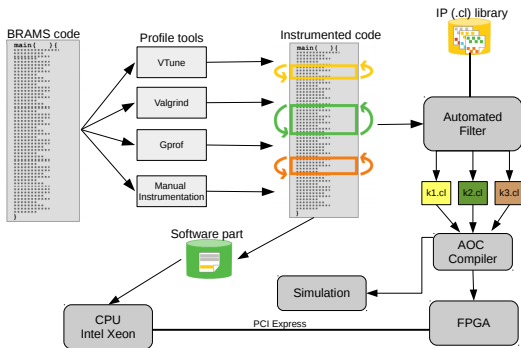


Figura: Filtro para o BRAMS usando OpenCL

Resultados

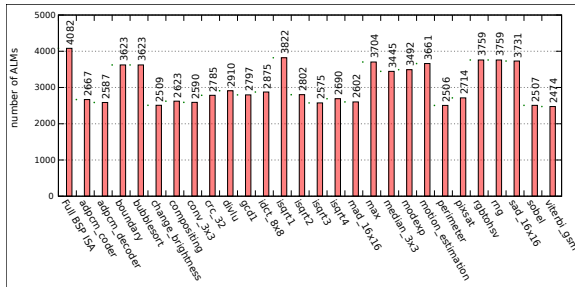


Figura: Número de ALMs para cada benchmark

Resultados

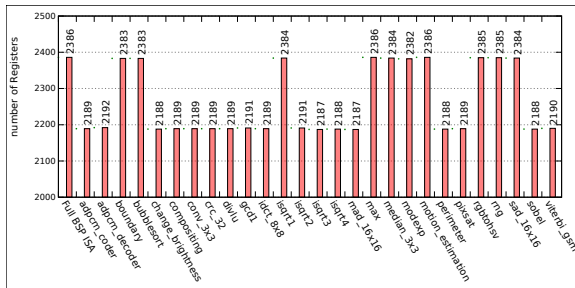


Figura: Número de registradores usando o BSP reduzido

Resultados

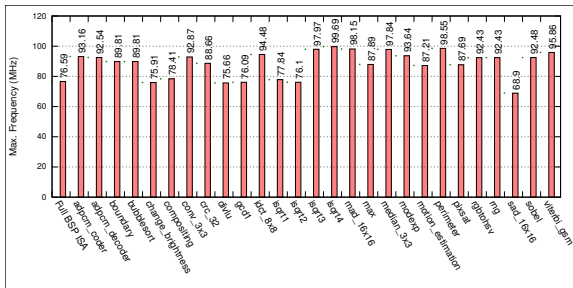


Figura: FMax usando o BSP com ISA reduzido

Conclusão

- Nós mostramos que é possível reduzir a área e aumentar o desempenho;

Conclusão

- Nós mostramos que é possível reduzir a área e aumentar o desempenho;
- O processador desenvolvido é compatível com o ISA do Nios II e com as ferramentas de desenvolvimento fornecidas pela Intel/Altera;

Conclusão

- Nós mostramos que é possível reduzir a área e aumentar o desempenho;
- O processador desenvolvido é compatível com o ISA do Nios II e com as ferramentas de desenvolvimento fornecidas pela Intel/Altera;
- Desenvolver instruções personalizadas usando o OpenCL e integrar o ambiente proposto no HARP (Finalizando).

Perguntas?

Muito Obrigado pela sua Atenção !

The logo for LCR, consisting of the letters 'LCR' in a bold, brown, sans-serif font.